

申請日期: 91.2.27 案號: 91105801

類別: H03H 7/00

(以上各欄由本局填註)

發明專利說明書

527768

一、 發明名稱	中文	多相濾波器電路
	英文	Polyphase filter
二、 發明人	姓名 (中文)	1. 谷中強 2. 柏振球
	姓名 (英文)	1. Chung-Chiang Ku 2. Jen-Chiou Bo
	國籍	1. 中華民國 2. 中華民國
	住、居所	1. 新竹市金竹路102巷23號5樓 2. 新竹市寶山路200巷3號4樓之1
三、 申請人	姓名 (名稱) (中文)	1. 聯發科技股份有限公司
	姓名 (名稱) (英文)	1. Media Tek Inc.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區創新一路13號1樓
	代表人 姓名 (中文)	1. 蔡明介
	代表人 姓名 (英文)	1. Ming-Kai Tsai

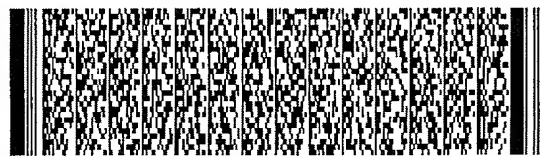


四、中文發明摘要 (發明之名稱：多相濾波器電路)

提出一種多相濾波器電路，係接收輸入訊號 X_r 與 X_i ，並輸出預設頻帶範圍之輸出訊號 Y_r 與 Y_i 。該多相濾波器電路包含：第一組微分單元，係包含串接連接之複數個微分項，輸入端連接輸入訊號 X_r ，而輸出端為輸出訊號 Y_r ；第二組微分單元，係包含串接連接之複數個微分項，輸入端連接輸入訊號 X_i ，而輸出端為輸出訊號 Y_i ；第一回授單元，係包含複數個電阻，第一端連接至輸出訊號 Y_r ，而另一端連接至第一組微分單元；第二回授單元，係包含一反向放大器與複數個電阻，該反向放大器之輸入端連接至輸出訊號 Y_i ，而反向放大器之輸出端連接至各電阻之一端，各電阻之輸出端連接至第一組微分單元；第三回授單元，係包含複數個電阻，第一端均連接至輸出訊號 Y_i ，而另一

英文發明摘要 (發明之名稱：Polyphase filter)

A polyphase filter is disclosed. The polyphase filter comprises two differential units for receiving complex input signals X_r and X_i to generate complex output signals Y_r and Y_i , respectively. Each differential unit includes a plurality of differential components. The polyphase filter employs a plurality of feedback units to feedback the complex output signals Y_r and Y_i to the input terminals and the intermediate points of the differential units. Since the



四、中文發明摘要 (發明之名稱：多相濾波器電路)

端連接至第二組微分單元；以及第四回授單元，係包含複數個電阻，第一端均連接至輸出訊號 Y_r ，而另一端連接至第二組微分單元。由於各單元之係數可由實數低通濾波器經過頻率偏移後求的，且回授耦合時僅在需要回授耦合之階數由電阻、電容或兩者來實施耦合，所以實施上較具彈性。

英文發明摘要 (發明之名稱：Polyphase filter)

coefficients of the differential units and the feedback units are calculated by shifting the frequency on a real low pass filter, the feedback units can be implemented by resistors and capacitors flexibly.



中華民國專利公報 [19] [12]

[11]公告編號：527768

[44]中華民國 92年(2003) 04月11日

發明

全 8 頁

[51] Int.Cl⁰⁷ : H03H7/00

[54]名稱：多相濾波器電路

[21]申請案號：091105801

[22]申請日期：中華民國 91年(2002) 03月22日

[72]發明人：

谷中強

柏振球

新竹市金竹路一〇二巷二十三號五樓

新竹市寶山路二〇〇巷三號四樓之一

[71]申請人：

聯發科技股份有限公司

新竹科學工業園區創新一路十三號

[74]代理人：葉信金 先生

1

2

[57]申請專利範圍：

1.一種多相濾波器電路，係接收輸入訊號 X_r 與 X_i ，輸出預設頻帶範圍之輸出訊號 Y_r 與 Y_i ，該多相濾波器電路包含：

第一組微分單元，係包含串接連接之複數個微分項，輸入端連接前述輸入訊號 X_r ，而輸出端為輸出訊號 Y_r ；

第二組微分單元，係包含串接連接之複數個微分項，輸入端連接前述輸入訊號 X_i ，而輸出端為輸出訊號 Y_i ；

第一回授單元，係包含複數個電阻，每個電阻之第一端均連接至前述輸出訊號 Y_r ，而另一端連接至前

述第一組微分單元之各串接微分項的輸入端；

第二回授單元，係包含一反向放大器與複數個電阻，該反向放大器之輸入端連接至前述輸出訊號 Y_i ，而反向放大器之輸出端連接至各電阻之一端，各電阻之輸出端連接至前述第一組微分單元之各串接微分項的輸入端；

第三回授單元，係包含複數個電阻，每個電阻之第一端均連接至前述輸出訊號 Y_i ，而另一端連接至前述第二組微分單元之各串接微分項的輸入端；以及

第四回授單元，係包含複數個電

阻，每個電阻之第一端均連接至前述輸出訊號 Y_r ，而另一端連接至前述第二組微分單元之各串接微分項的輸入端。

- 2.如申請專利範圍第1項所記載之多相濾波器電路，其中前述第一組微分單元與第二組微分單元之微分項係由放大器與電容所構成。
- 3.如申請專利範圍第2項所記載之多相濾波器電路，其中該多相濾波器電路為二階之多相濾波器電路，且前述第一組微分單元與第二組微分單元均包含兩個串接之微分項。
- 4.如申請專利範圍第3項所記載之多相濾波器電路，其中可串接複數個前述多相濾波器電路，藉以構成更高階之多相濾波器電路。
- 5.一種多相濾波器電路，係接收輸入訊號 X_r 與 X_i ，輸出預設頻帶範圍之輸出訊號 Y_r 與 Y_i ，該多相濾波器電路包含：

第一組微分單元，係包含串接連接之複數個微分項，輸入端連接前述輸入訊號 X_r ，而輸出端為輸出訊號 Y_r ；

第二組微分單元，係包含串接連接之複數個微分項，輸入端連接前述輸入訊號 X_i ，而輸出端為輸出訊號 Y_i ；

第一回授單元，係由電阻與電容所構成，每個電阻與電容之第一端均連接至前述輸出訊號 Y_r ，而另一端連接至前述第一組微分單元之部分串接微分項的輸入端；

第二回授單元，係包含一反向放大器與電阻與電容所構成，該反向放大器之輸入端連接至前述輸出訊號 Y_i ，而反向放大器之輸出端連接至各電阻與電容之一端，各電阻與電容之輸出端連接至前述第一組微分

單元之部分微分項的輸入端；

- 5.第三回授單元，係由電阻與電容所構成，每個電阻與電容之第一端均連接至前述輸出訊號 Y_i ，而另一端連接至前述第二組微分單元之部分微分項的輸入端；以及
- 10.第四回授單元，係由電阻與電容所構成，每個電阻與電容之第一端均連接至前述輸出訊號 Y_r ，而另一端連接至前述第二組微分單元之部分微分項的輸入端。
- 6.如申請專利範圍第5項所記載之多相濾波器電路，其中前述第一組微分單元與第二組微分單元之微分項係由放大器與電容所構成。
- 15.7.如申請專利範圍第6項所記載之多相濾波器電路，其中該多相濾波器電路為二階之多相濾波器電路，且前述第一組微分單元與第二組微分單元均包含兩個串接之微分項。
- 20.8.如申請專利範圍第7項所記載之多相濾波器電路，其中前述第一回授單元包含一電阻與一電容，且該電阻與電容的另一端連接至第一組微分單元之輸入端。
- 25.9.如申請專利範圍第7項所記載之多相濾波器電路，其中前述第二回授單元包含一電阻與一電容，且該電阻與電容的另一端連接至第一組微分單元之輸入端。
- 30.10.如申請專利範圍第7項所記載之多相濾波器電路，其中前述第三回授單元包含一電阻與一電容，且該電阻與電容的另一端連接至第二組微分單元之輸入端。
- 35.11.如申請專利範圍第7項所記載之多相濾波器電路，其中前述第四回授單元包含一電阻與一電容，且該電阻與電容的另一端連接至第二組微分單元之輸入端。
- 40.

(3)

5

12.如申請專利範圍第 7 項所記載之多相濾波器電路，其中可串接複數個前述多相濾波器電路，藉以構成更高階之多相濾波器電路。

圖式簡單說明：

圖 1 為被動式電阻電容網路之濾波器。

圖 2 為主動式多相位濾波器之架構圖。

圖 3 所示為圖 2 複數帶通濾波器之實施例。

圖 4 所示為本發明二階多相濾波

6

器之第一實施例的架構圖。

圖 5 所示為圖 4 架構圖之實施電路。

圖 6 所示為本發明二階多相濾波器之第二實施例的架構圖。

圖 7 所示為圖 4 架構圖之實施電路。

圖 8 所示為本發明四階多相濾波器之第一實施例的架構圖。

圖 9 所示為本發明四階多相濾波器之第二實施例的架構圖。

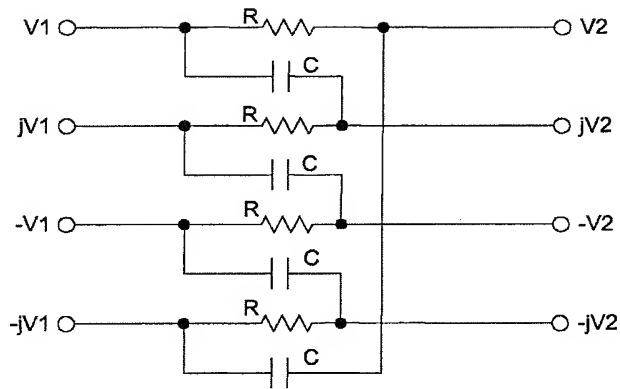


圖 1

(4)

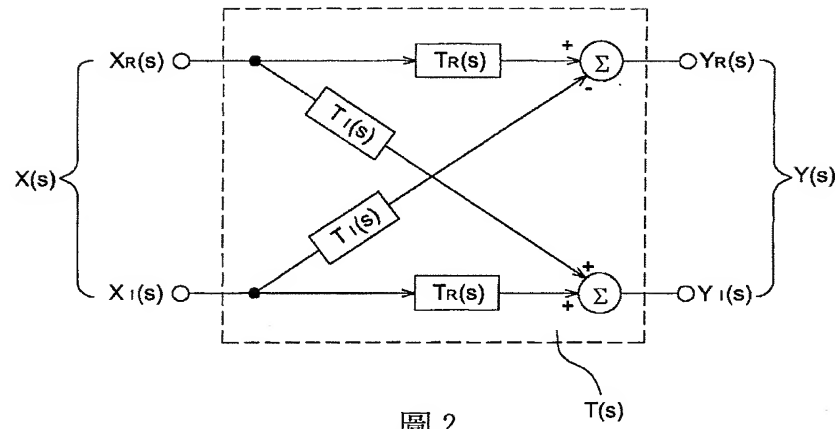


圖 2

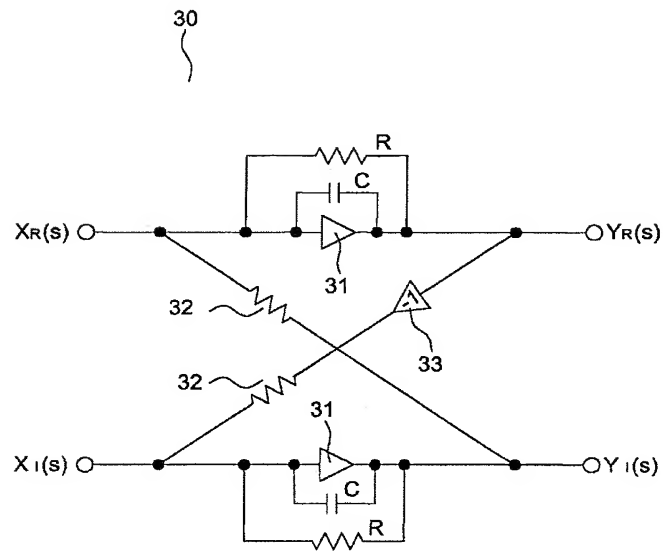


圖 3

(5)

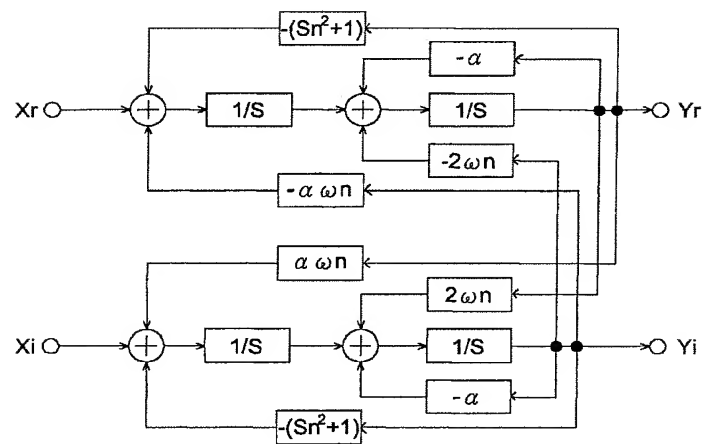


圖 4

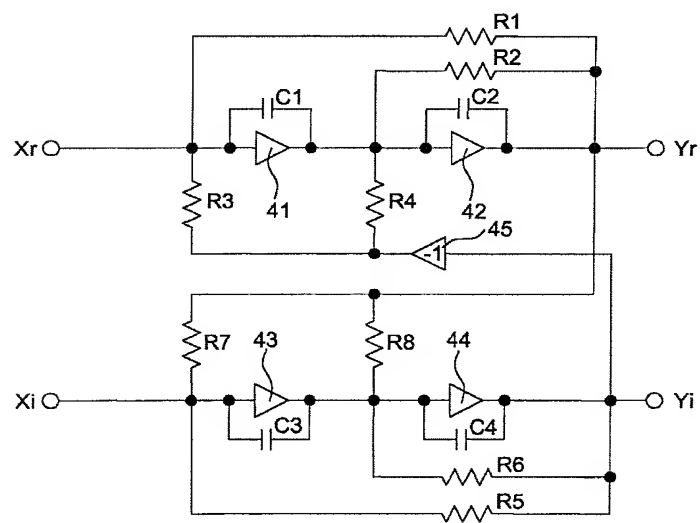


圖 5

(6)

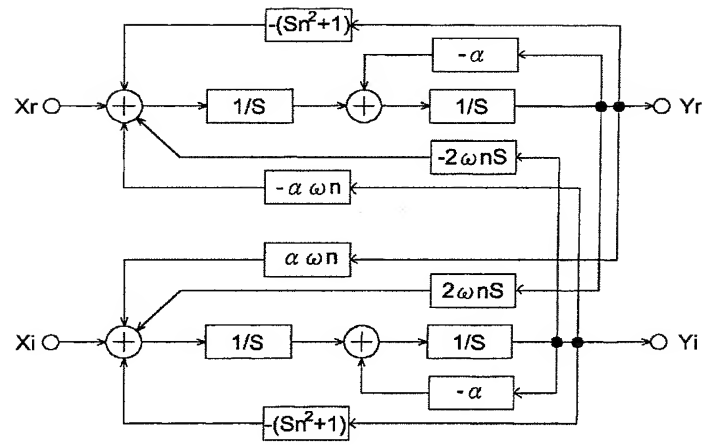


圖 6

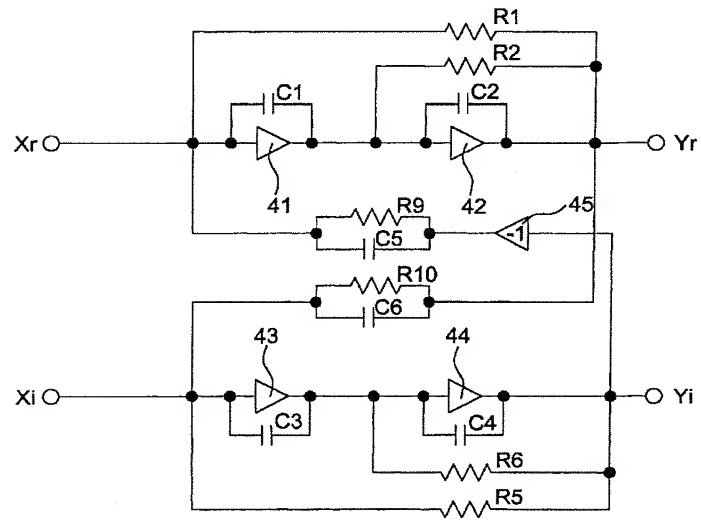


圖 7

(7)

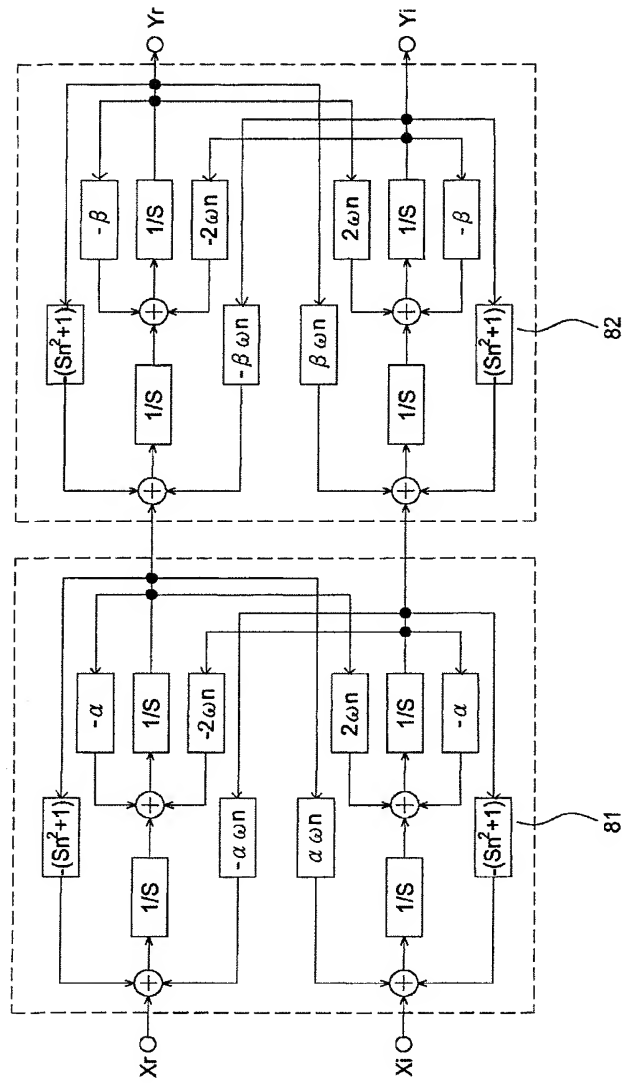


图 8

(8)

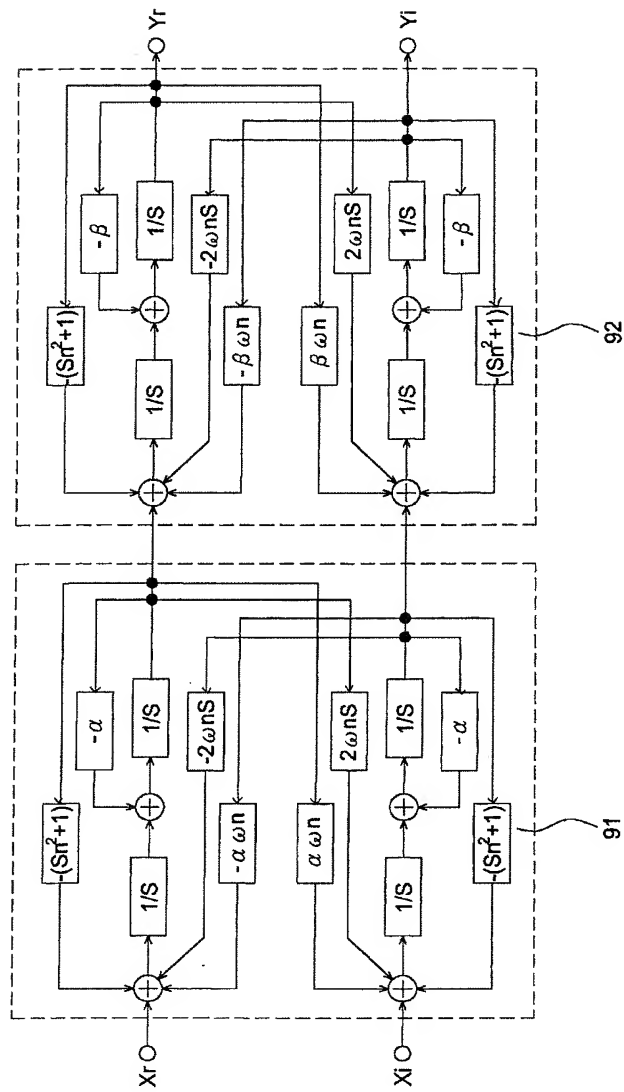


图 9